

F01E0617

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-235979

(P2000-235979A)

(43) 公開日 平成12年8月29日 (2000.8.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L	21/3205	H 0 1 L	21/88
	21/60		21/92
	27/04		27/04
	21/822		
			Z 5 F 0 3 3
			6 0 2 G 5 F 0 3 8
			L

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平11-35759

(22) 出願日 平成11年2月15日 (1999.2.15)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 青木 由隆

東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内

(72) 発明者 三原 一郎

東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内

(74) 代理人 100074985

弁理士 杉村 次郎

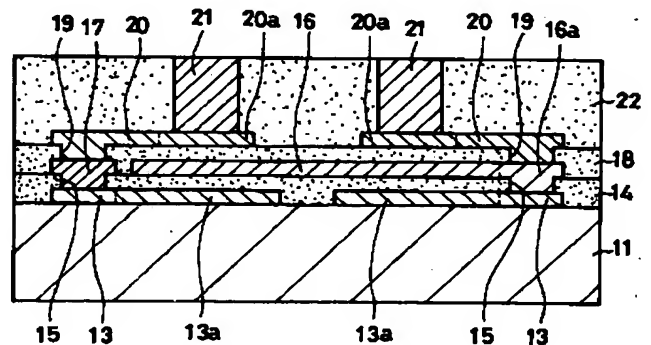
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 再配線上に柱状電極が設けられたCSPにおいて、再配線の配置に制約を受けないようにする。

【解決手段】 シリコン基板11の上面中央部の回路素子形成領域上には第1の絶縁膜14を介して接地電位層16が設けられている。接地電位層16上には第2の絶縁膜18を介して再配線20が設けられている。再配線20の先端部から成る接続パッド部20a上には柱状電極21が設けられている。そして、シリコン基板11の回路素子形成領域内に設けられた発振回路等と再配線20とがクロスしても、接地電位層16によりクロストークが発生しないようにすることができ、ひいては再配線20の配置に制約を受けないようにすることができる。



## 【特許請求の範囲】

【請求項1】 上面中央部を回路素子形成領域とされた半導体基板と、該半導体基板の上面周辺部に設けられた接続パッドと、前記回路素子形成領域上に第1の絶縁膜を介して設けられたバリア層と、該バリア層を含む前記半導体基板上に第2の絶縁膜を介して且つ前記接続パッドに接続されて設けられた再配線と、該再配線上に設けられた柱状電極とを具備することを特徴とする半導体装置。

【請求項2】 上面中央部を回路素子形成領域とされた半導体基板と、該半導体基板の上面周辺部に設けられた接続パッドと、前記回路素子形成領域上に第1の絶縁膜を介して設けられたバリア層と、該バリア層上に第2の絶縁膜を介して設けられた薄膜回路素子と、前記第2の絶縁膜上に前記接続パッドに接続されて設けられた柱状電極とを具備することを特徴とする半導体装置。

【請求項3】 上面中央部を回路素子形成領域とされた半導体基板と、該半導体基板の上面周辺部に設けられた接続パッドと、前記回路素子形成領域上に第1の絶縁膜を介して設けられた第1のバリア層と、該第1のバリア層上に第2の絶縁膜を介して設けられた薄膜回路素子と、該薄膜回路素子を含む前記第2の絶縁膜上に第3の絶縁膜を介して設けられた第2のバリア層と、該第2のバリア層上に第4の絶縁膜を介して且つ前記接続パッドに接続されて設けられた再配線と、該再配線上に設けられた柱状電極とを具備することを特徴とする半導体装置。

【請求項4】 請求項1～3のいずれかに記載の発明において、前記柱状電極を除く上面全体に封止膜が設けられていることを特徴とする半導体装置。

【請求項5】 請求項1～4のいずれかに記載の発明において、前記半導体基板の下面に平面状の回路素子が設けられていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は半導体装置に関する。

## 【0002】

【従来の技術】半導体装置には、例えばCSP (Chip Size Package) と呼ばれるものがある。図13は従来のこのような半導体装置の一例の断面図を示したものである。この半導体装置はシリコン基板（半導体基板）1を備えている。シリコン基板1は、図14（図13において保護膜5及びその上側のものを省略した状態の平面図）に示すように、平面正方形状であって、同図において一点鎖線で示すように、上面の四辺部を除く中央部を回路素子形成領域2とされている。回路素子形成領域2内には、図示していないが、この半導体装置が液晶表示パネル駆動用のLSIである場合、発振回路、レギュレータ回路、液晶ドライバ回路等が設けられている。

【0003】シリコン基板1の上面の回路素子形成領域2の外側には複数の接続パッド3が設けられている。接続パッド3は、シリコン基板1の上面に設けられた配線3aの一端部からなり、同配線3aを介して上記液晶ドライバ回路等と接続されている。接続パッド3の中央部を除くシリコン基板1の上面には酸化シリコン等からなる絶縁膜4及びポリイミド等からなる保護膜5が設けられ、接続パッド3の中央部が絶縁膜4及び保護膜5に形成された開口部6を介して露出されている。

【0004】この露出された接続パッド3の上面から回路素子形成領域2上における保護膜5の上面にかけて再配線7が設けられている。この場合、再配線7の先端部は接続パッド部7aとなっている。接続パッド部7aの上面には柱状電極8が設けられている。柱状電極8を除く上面全体にはエポキシ系樹脂等からなる封止膜9が設けられている。

## 【0005】

【発明が解決しようとする課題】ところで、従来のこのような半導体装置では、回路素子形成領域2上における保護膜5の上面に再配線7を設けているので、回路素子形成領域2内に設けられた発振回路等と再配線7との間でクロストークが発生しないようにする必要がある。そこで、従来では、再配線7を発振回路等とクロスしないように配置しているが、再配線7の配置に極めて大きな制約を受けるといった問題があった。この発明の課題は、再配線等の配置に制約を受けないようにすることである。

## 【0006】

【課題を解決するための手段】請求項1記載の発明は、上面中央部を回路素子形成領域とされた半導体基板と、該半導体基板の上面周辺部に設けられた接続パッドと、前記回路素子形成領域上に第1の絶縁膜を介して設けられたバリア層と、該バリア層を含む前記半導体基板上に第2の絶縁膜を介して且つ前記接続パッドに接続されて設けられた再配線と、該再配線上に設けられた柱状電極とを具備したものである。請求項2記載の発明は、上面中央部を回路素子形成領域とされた半導体基板と、該半導体基板の上面周辺部に設けられた接続パッドと、前記回路素子形成領域上に第1の絶縁膜を介して設けられたバリア層と、該バリア層上に第2の絶縁膜を介して設けられた薄膜回路素子と、前記第2の絶縁膜上に前記接続パッドに接続されて設けられた柱状電極とを具備したものである。この発明によれば、回路素子形成領域上に第1の絶縁膜を介して設けられたバリア層上に第2の絶縁膜を介して再配線や薄膜回路素子を設けているので、バリア層によりクロストークが発生しないようにすることができ、ひいては再配線や薄膜回路素子の配置に制約を受けないようにすることができる。

## 【0007】

【発明の実施の形態】（第1実施形態）図1はこの発明

の第1実施形態における半導体装置の断面図を示したものである。この半導体装置はシリコン基板（半導体基板）11を備えている。シリコン基板11は、図2（図1において接地電位層16、接続パッド部17及びその上側のものを省略した状態の平面図）に示すように、平面正方形状であって、同図において一点鎖線で示すように、上面の四辺部を除く中央部を回路素子形成領域12とされている。回路素子形成領域12内には、図示していないが、この半導体装置が液晶表示パネル駆動用のLSIである場合、発振回路、レギュレータ回路、液晶ドライバ回路等が設けられている。

【0008】シリコン基板11の上面の回路素子形成領域12の外側には複数の接続パッド13が設けられている。接続パッド13は、シリコン基板11の上面に設けられた配線13aの一端部からなり、同配線13aを介して上記液晶ドライバ回路等と接続されている。接続パッド13の中央部を除くシリコン基板11の上面には酸化シリコン等からなる第1の絶縁膜14が設けられ、接続パッド13の中央部が第1の絶縁膜14に形成された開口部15を介して露出されている。

【0009】この露出された接続パッド13のうち接地電位の接続パッド13の上面から回路素子形成領域12上における第1の絶縁膜14の上面にかけて接地電位層（バリア層）16が設けられている。これにより、図3（図1において第2の絶縁膜18及びその上側のものを省略した状態の平面図）に示すように、回路素子形成領域12は接地電位層16によって覆われている。この場合、接地電位層16のうち接続パッド13上に設けられた部分は接続パッド部16aとなっている。残りの接続パッド13上には接続パッド部17が設けられている。なお、残りの接続パッド13のうち使用しない接続パッドがある場合、この使用しない接続パッドに接地電位層16を接続するようにしてもよい。

【0010】接続パッド部16a、17の中央部を除く第1の絶縁膜14及び接地電位層16の上面にはポリイミド等からなる第2の絶縁膜18が設けられ、接続パッド部16a、17の中央部が第2の絶縁膜18に形成された開口部19を介して露出されている。この露出された接続パッド部16a、17の上面から接地電位層16（つまり回路素子形成領域12）上における第2の絶縁膜18の上面にかけて再配線20が設けられている。この場合、再配線20の先端部は接続パッド部20aとなっている。接続パッド部20aの上面には柱状電極21が設けられている。この場合、所定の1つの柱状電極21は、接地用電極であり、接地電位層16に接続されている。柱状電極21を除く上面全体にはエポキシ系樹脂等からなる封止膜22が設けられている。

【0011】このように、この半導体装置では、回路素子形成領域12上に第1の絶縁膜14を介して設けられた接地電位層16上に第2の絶縁膜18を介して再配線

20を設けているので、回路素子形成領域12内に設けられた発振回路等と再配線20とがクロスしても、接地電位層16によりクロストークが発生しないようにすることができ、ひいては再配線20の配置に制約を受けないようにすることができる。

【0012】（第2実施形態）図4はこの発明の第2実施形態における半導体装置の断面図を示したものである。この半導体装置では、開口部19を有する第2の絶縁膜18及びその下側の部分は図1に示す場合と同じとなっている。そして、図5（図4において柱状電極21及び封止膜22を省略した状態の平面図）にも示すように、所定の1つの接続パッド部17の上面から接地電位層16（つまり回路素子形成領域12）上における第2の絶縁膜18の上面にかけて角渦巻状の配線からなる薄膜インダクタ31が設けられている。この場合、薄膜インダクタ31の両端部は接続パッド部31a、31bとなっている。また、残りの接続パッド17及び接続パッド16a上には接続パッド部32が設けられている。接続パッド部31a、31b、32の上面には柱状電極21が設けられている。この場合、所定の2つの柱状電極21は、薄膜インダクタ31の端子となっている。柱状電極21を除く上面全体には封止膜22が設けられている。

【0013】このように、この半導体装置では、回路素子形成領域12上に第1の絶縁膜14を介して設けられた接地電位層16上に第2の絶縁膜18を介して薄膜インダクタ31を設けているので、回路素子形成領域12内に設けられた発振回路等と薄膜インダクタ31とがクロスしても、接地電位層16によりクロストークが発生しないようにすることができ、ひいては薄膜インダクタ31の配置に制約を受けないようにすることができる。

【0014】（第3実施形態）図6はこの発明の第3実施形態における半導体装置の図5同様の平面図を示したものである。この半導体装置では、所定の2つの接続パッド部17の上面から接地電位層16（つまり回路素子形成領域12）上における第2の絶縁膜18の上面にかけて互いに食い込み合う一対のくし歯状の配線からなる薄膜SAW (Surface Acoustic Wave) フィルタ41が設けられている。そして、この場合も、接地電位層16の存在により、薄膜SAWフィルタ41の配置に制約を受けないようにすることができる。

【0015】（第4実施形態）図7はこの発明の第4実施形態における半導体装置の断面図を示したものである。この半導体装置では、開口部19を有する第2の絶縁膜18及びその下側の部分は図1に示す場合と同じとなっている。そして、図8（図7において第3の絶縁膜53及びその上側のものを省略した状態の平面図）にも示すように、所定の2つの接続パッド部17の上面から接地電位層16（つまり回路素子形成領域12）上における第2の絶縁膜18の上面にかけて蛇行状の配線から

なる1次導体層51が設けられている。この場合、1次導体層51の両端部は接続パッド部51a、51bとなっている。また、残りの接続パッド17及び接続パッド16a上には接続パッド部52が設けられている。

【0016】接続パッド部51a、51b、52の中央部を除く第2の絶縁膜18及び1次導体層51の上面にはポリイミド等からなる第3の絶縁膜53が設けられ、接続パッド部51a、51b、52の中央部が第3の絶縁膜53に形成された開口部54を介して露出されている。そして、所定の2つの接続パッド部52の上面から第3の絶縁膜53の上面にかけて蛇行状の配線からなる2次導体層55が1次導体層51とほぼ重ね合わされて設けられている。そして、両導体層51、55及びその間の第3の絶縁膜53によって薄膜トランス50が構成されている。

【0017】2次導体層55の両端部は接続パッド部（図示せず）となっている。また、残りの接続パッド部52及び接続パッド部51a、51b上には接続パッド部56が設けられている。接続パッド部56等の上面には柱状電極21が設けられている。この場合、所定の4つの柱状電極21は、薄膜トランス50の端子となっている。柱状電極21を除く上面全体には封止膜22が設けられている。そして、この場合も、接地電位層16の存在により、薄膜トランス50の配置に制約を受けないようにすることができる。

【0018】（第5実施形態）図9はこの発明の第5実施形態における半導体装置の断面図を示したものである。この半導体装置では、開口部19を有する第2の絶縁膜18及びその下側の部分は図1に示す場合と同じとなっている。そして、図10（図9において柱状電極21及び封止膜22を省略した状態の平面図）にも示すように、所定の1つの接続パッド部17の上面から接地電位層16（つまり回路素子形成領域12）上における第2の絶縁膜18の上面にかけて比較的大きな正形状の下導体層61が設けられている。下導体層61の上面には絶縁層62を介して比較的小さな正形状の上導体層63が設けられている。そして、両導体層61、63及びその間の絶縁層62によって薄膜キャパシタ60が構成されている。

【0019】下導体層61のうち接続パッド17上に設けられた部分は接続パッド部61aとなっている。また、残りの接続パッド17及び接続パッド16a上には接続パッド部64が設けられている。接続パッド部61a、64の上面及び上導体層63の上面の中央部には柱状電極21が設けられている。この場合、所定の2つの柱状電極21は、薄膜キャパシタ60の端子となっている。柱状電極21を除く上面全体には封止膜22が設けられている。そして、この場合も、接地電位層16の存在により、薄膜キャパシタ60の配置に制約を受けないようにすることができる。

【0020】（第6実施形態）図11はこの発明の第6実施形態における半導体装置の断面図を示したものである。この半導体装置では、第2の絶縁膜18及びその下側の部分は図1に示す場合と同じとなっている。この場合、符合16で示すものを第1の接地電位層という。そして、簡単に説明すると、第2の絶縁膜18の上面には図6に示す場合と同様の薄膜SAWフィルタ41が設けられ、その上面にはポリイミド等からなる第3の絶縁膜71が設けられ、その上面には第2の接地電位層72が設けられ、その上面にはポリイミド等からなる第4の絶縁膜73が設けられ、その上面には図1に示す場合と同様の再配線20が接続パッド13と接続されて設けられ、その上面には柱状電極21及び封止膜22が設けられている。

【0021】したがって、この場合には、第1の接地電位層16の存在により、薄膜SAWフィルタ41の配置に制約を受けないようにすることができ、また第2の接地電位層72の存在により、薄膜SAWフィルタ41と再配線20との間でクロストークが発生しないようにすることができ、ひいては再配線20の配置に制約を受けないようにすることができる。

【0022】（第7実施形態）図12はこの発明の第7実施形態における半導体装置の断面図を示したものである。この半導体装置では、シリコン基板11の上側の部分は図1に示す場合と同じとなっている。そして、シリコン基板11の下面には、接着剤81を介して、フィルム状のキャパシタ82が設けられている。すなわち、フィルム状のキャパシタ82は、絶縁性のフィルム83の上下両面に導電層84、85をラミネートしたものからなっている。なお、フィルム状のキャパシタ82の代わりに、フィルム状の抵抗等の他の平面状の回路素子をシリコン基板11の下面に接着するようにしてもよい。

【0023】なお、上記実施形態では、シリコン基板上に接地電位層を介して薄膜インダクタ、薄膜SAWフィルタ、薄膜トランス、薄膜キャパシタを設けた場合について説明したが、これらに限らず、マイクロストリップラインやMMIC (Microwave Monolithic Integrated Circuit) 等の他の薄膜回路素子を設けるようにしてもよい。また、上記実施形態では、バリア層として接地電位層を設けた場合について説明したが、これに限らず、電源電位層や多層薄膜構造の電磁波吸収層を設けるようにしてもよい。

【0024】

【発明の効果】以上説明したように、この発明によれば、回路素子形成領域上に第1の絶縁膜を介して設けられたバリア層上に第2の絶縁膜を介して再配線や薄膜回路素子を設けているので、バリア層によりクロストークが発生しないようにすることができ、ひいては再配線や薄膜回路素子の配置に制約を受けないようにすることができる。

## 【図面の簡単な説明】

【図1】この発明の第1実施形態における半導体装置の断面図。

【図2】図1において接地電位層、接続パッド部及びその上側のものを省略した状態の平面図。

【図3】図1において第2の絶縁膜及びその上側のものを省略した状態の平面図。

【図4】この発明の第2実施形態における半導体装置の断面図。

【図5】図4において柱状電極及び封止膜を省略した状態の平面図。

【図6】この発明の第3実施形態における図5同様の平面図。

【図7】この発明の第4実施形態における半導体装置の断面図。

【図8】図7において第3の絶縁膜及びその上側のものを省略した状態の平面図。

【図9】この発明の第5実施形態における半導体装置の断面図。

【図10】図9において柱状電極及び封止膜を省略した状態の平面図。

【図11】この発明の第6実施形態における半導体装置の断面図。

【図12】この発明の第7実施形態における半導体装置の断面図。

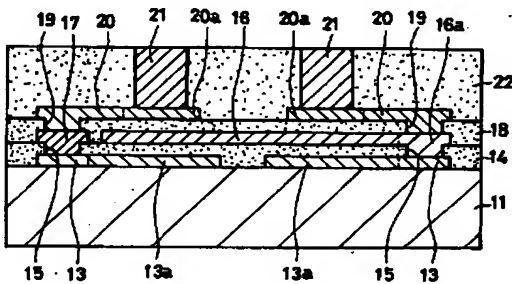
【図13】従来の半導体装置の一例の断面図。

【図14】図13において保護膜及びその上側のものを省略した状態の平面図。

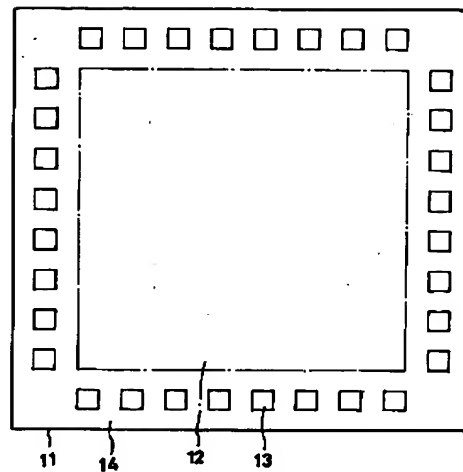
## 【符号の説明】

- 11 シリコン基板
- 12 回路素子形成領域
- 13 接続パッド
- 14 第1の絶縁膜
- 16 接地電位層
- 18 第2の絶縁膜
- 20 再配線
- 21 柱状電極
- 23 封止膜
- 31 薄膜インダクタ
- 41 薄膜SAWフィルタ
- 50 薄膜トランス
- 60 薄膜キャパシタ

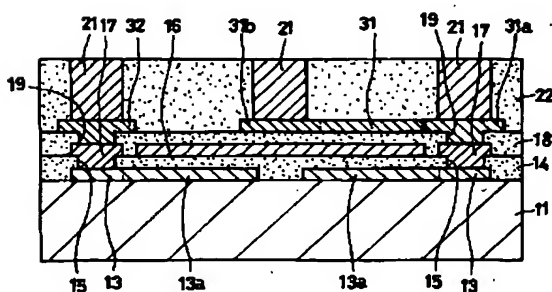
【図1】



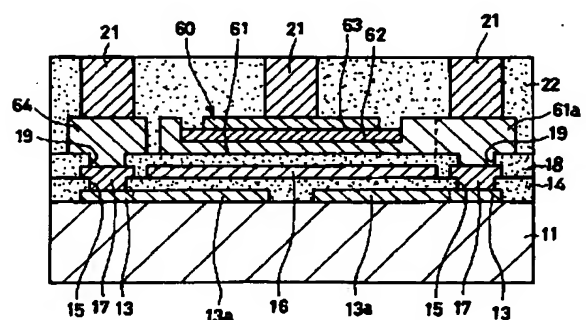
【図2】



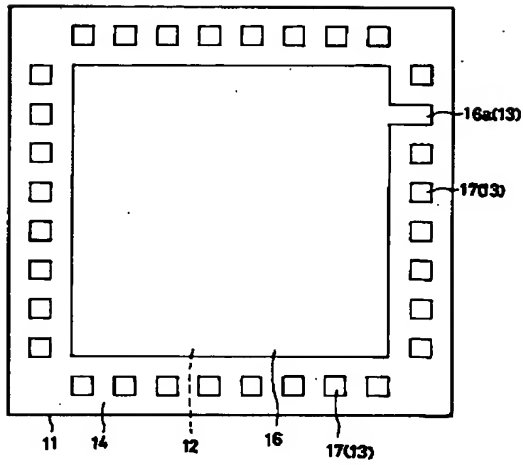
【図4】



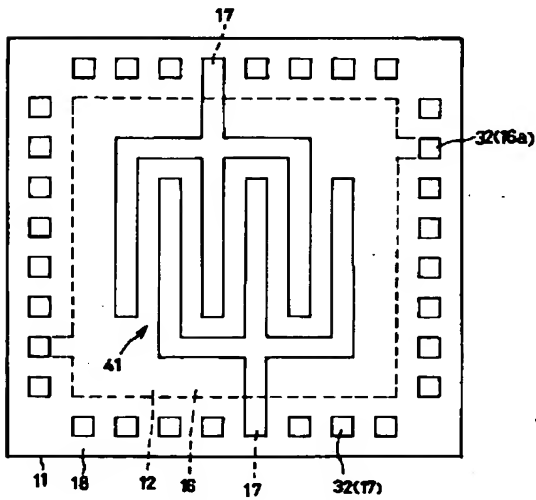
【図9】



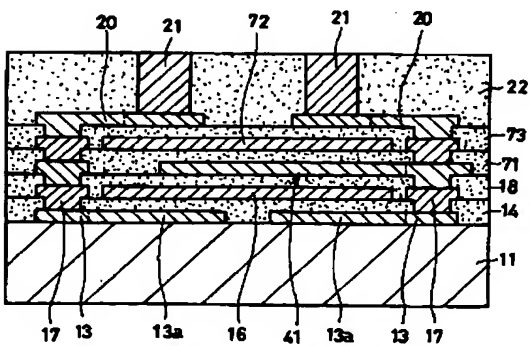
【図 3】



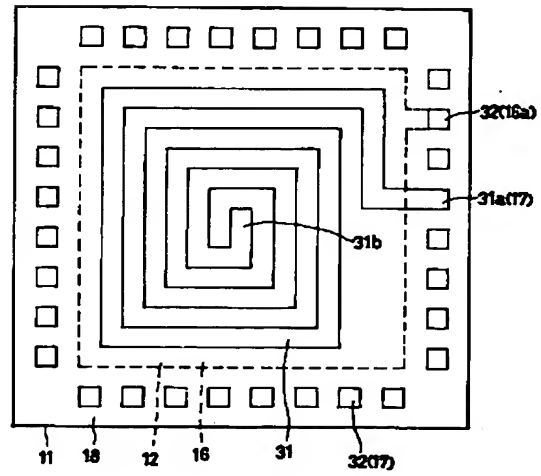
【図 6】



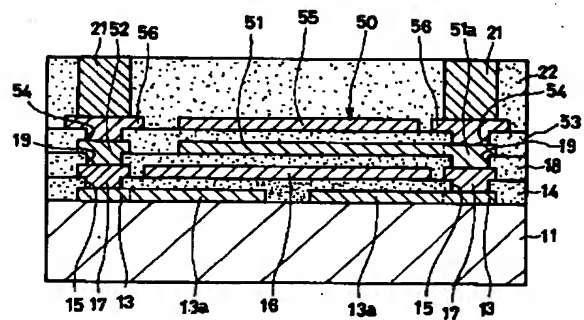
【図 11】



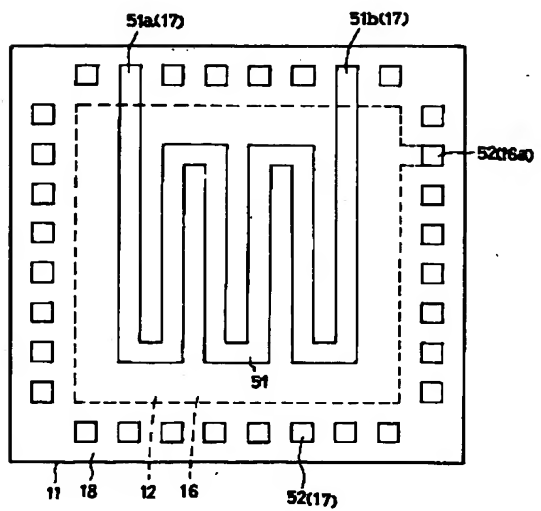
【図 5】



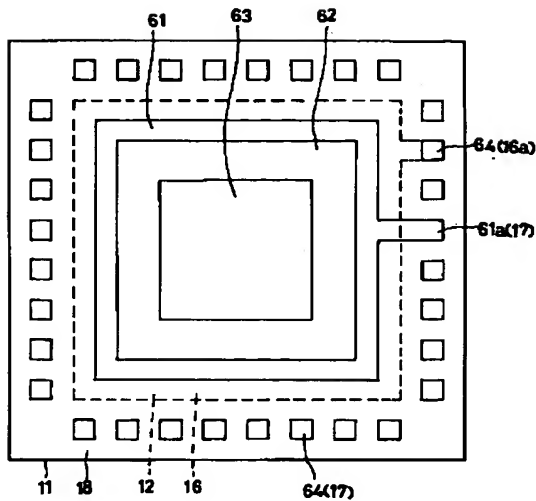
【図 7】



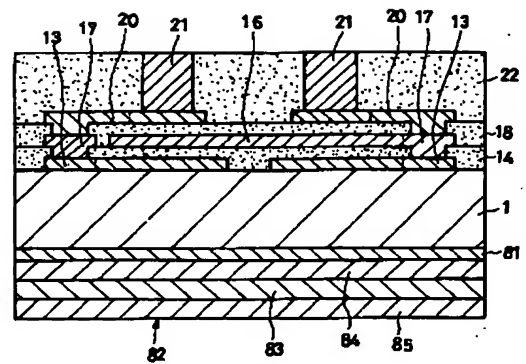
【図 8】



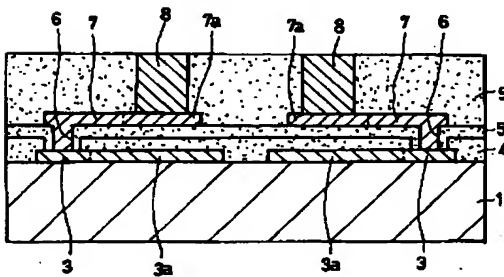
【図10】



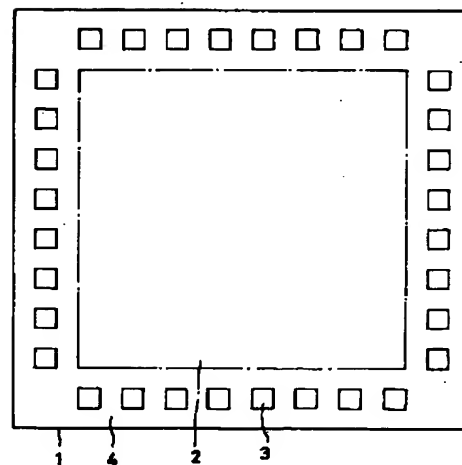
【図12】



【図13】



【図14】



フロントページの続き

(72) 発明者 若林 猛  
東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内

(72) 発明者 渡辺 克己  
東京都八王子市石川町2951番地の5 カシ  
オ計算機株式会社八王子研究所内  
Fターム(参考) 5F033 RR04 RR22 VV03 VV04 VV05  
VV10 XX23  
5F038 AC07 AZ03 AZ04 CA16 CD01